

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 8 月 1 2 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 2 9 2 1 6 6
Application Number:

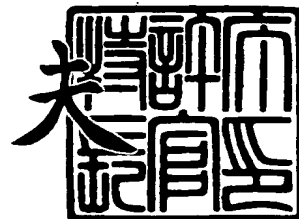
[ST. 10/C] : [J P 2 0 0 3 - 2 9 2 1 6 6]

出 願 人 株式会社ルネサステクノロジ
Applicant(s): 松下電器産業株式会社

2 0 0 3 年 8 月 2 5 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願
【整理番号】 542694JP01
【提出日】 平成15年 8月12日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 21/00
H01L 21/768

【発明者】
【住所又は居所】 東京都千代田区丸の内二丁目 4 番 1 号 株式会社ルネサステクノ
ロジ内
【氏名】 富田 和朗

【発明者】
【住所又は居所】 東京都千代田区丸の内二丁目 4 番 1 号 株式会社ルネサステクノ
ロジ内
【氏名】 橋本 圭司

【発明者】
【住所又は居所】 東京都千代田区丸の内二丁目 4 番 1 号 株式会社ルネサステクノ
ロジ内
【氏名】 西岡 康隆

【発明者】
【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内
【氏名】 松本 晋

【発明者】
【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内
【氏名】 関口 満

【発明者】
【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内
【氏名】 岩崎 晃久

【特許出願人】
【識別番号】 503121103
【氏名又は名称】 株式会社ルネサステクノロジ

【特許出願人】
【識別番号】 000005821
【氏名又は名称】 松下電器産業株式会社

【代理人】
【識別番号】 100082175
【弁理士】
【氏名又は名称】 高田 守
【電話番号】 03-5379-3088

【選任した代理人】
【識別番号】 100066991
【弁理士】
【氏名又は名称】 葛野 信一
【電話番号】 03-5379-3088

【選任した代理人】
【識別番号】 100106150
【弁理士】
【氏名又は名称】 高橋 英樹
【電話番号】 03-5379-3088



【手数料の表示】

【予納台帳番号】 049397

【納付金額】 21,000円

【提出物件の目録】

【物件名】 特許請求の範囲 1

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【書類名】 特許請求の範囲**【請求項 1】**

基板上に形成された第 1 配線と、
前記第 1 配線上に形成され、3 以下の比誘電率を有する低誘電率膜と、
前記低誘電率膜内に形成され、前記第 1 配線と接続されたビアと、
前記ビア上に形成され、該ビアと接続された第 2 配線と、
孤立した前記ビアの周辺に形成されたダミービアと、
を備えたことを特徴とする配線構造。

【請求項 2】

請求項 1 に記載の配線構造において、
前記低誘電率膜上に形成されたキャップ膜を更に備え、
前記第 2 配線は、前記キャップ膜及び前記低誘電率膜内に形成されたことを特徴とする配線構造。

【請求項 3】

請求項 1 又は 2 に記載の配線構造において、
前記第 1 配線の周辺に形成された第 1 ダミー配線と、
前記第 2 配線の周辺に形成された第 2 ダミー配線とを更に備え、
前記ダミービアは前記第 1 及び第 2 ダミー配線と接続され、且つ、前記ダミービアと接続された前記第 1 又は第 2 ダミー配線がグランド電位に接続されたことを特徴とする配線構造。

【請求項 4】

請求項 1 から 3 の何れかに記載の配線構造において、
前記ダミービアがスリット形状であることを特徴とする配線構造。

【請求項 5】

請求項 1 から 4 の何れかに記載の配線構造において、
前記ダミービアの寸法が、前記ビアの最小寸法の 1 ～ 10 倍であることを特徴とする配線構造。

【書類名】 明細書

【発明の名称】 配線構造

【技術分野】

【0001】

本発明は、配線構造に係り、特にダミービアが形成された半導体装置に代表される電子デバイスの配線構造に関するものである。

【背景技術】

【0002】

図12は、従来の半導体装置における配線構造を説明するための概略上面図である。図13は、図12に示した配線構造であって、デュアルダマシン法を用いて製造した配線構造のF-F'断面図である。

図12及び図13に示すように、層間絶縁膜30内に、第1配線(M1)15と接続するビア28と、該ビア28と接続する第2配線(M2)29とからなるデュアルダマシン配線が形成されている。また、配線パターンの粗密間差をなくすために、第1配線15の周辺に第1ダミー配線15aが形成され、第2配線29の周辺に第2ダミー配線29aが形成されている。

【0003】

ところで、近年、半導体装置の微細化に伴って、配線信号遅延が問題となっている。この問題を解決するため、配線材料に銅(Cu)が用いられ、層間絶縁膜に比誘電率が低い低誘電率膜が用いられている(例えば、非特許文献1参照)。

【0004】

【非特許文献1】 K. Higashi等、Proceedings of the 2002 International Interconnect Technology Conference、p. 15-17

【発明の開示】

【発明が解決しようとする課題】

【0005】

しかしながら、ビアの寸法が小さくなると、近接効果により孤立ビアと密集ビアとの粗密間差が大きくなってしまう。さらに、層間絶縁膜として低誘電率膜を用い、且つ、KrFレジストやArFレジストのような化学増幅型レジストをマスクとして用いてビアを形成する場合、特に孤立ビアの形成領域において、化学増幅型レジストの酸の影響でビアの抵抗上昇や断線が発生してしまうという問題があった。すなわち、ビア、特に孤立ビアで、いわゆる「レジストポイズニング」が発生してしまうという問題があった。この問題は、低誘電率膜のアッシングダメージを防止するため、低誘電率膜上に異種の絶縁膜からなるキャップ膜を形成する場合に起こりやすい。

【0006】

また、例えば、先端ロジック回路製品のような電子デバイスでは、消費電力を低減するため電源電圧を低電圧化している。このため、外部からのノイズにより誤動作しやすいという問題があった。

【0007】

本発明は、上記従来の課題を解決するためになされたもので、低誘電率膜内にビアを形成する際に、レジストポイズニングの発生を抑制することを目的とする。

また、本発明は、外部ノイズに対して高いマージンを有する配線構造を提供することを目的とする。

【課題を解決するための手段】

【0008】

この発明に係る配線構造は、基板上に形成された第1配線と、前記第1配線上に形成され、3以下の比誘電率を有する低誘電率膜と、前記低誘電率膜内に形成され、前記第1配線と接続されたビアと、前記ビア上に形成され、該ビアと接続された第2配線と、孤立した前記ビアの周辺に形成されたダミービアと、

を備えたことを特徴とするものである。

【発明の効果】

【0009】

本発明によれば、低誘電率膜内に孤立ビアを形成する際に、レジストポイズニングの発生を抑制することができる。

【発明を実施するための最良の形態】

【0010】

以下、図面を参照して本発明の実施の形態について説明する。図中、同一又は相当する部分には同一の符号を付してその説明を簡略化ないし省略することがある。

【0011】

実施の形態 1.

先ず、配線構造について説明する。

図1は、本発明の実施の形態1による半導体装置における配線構造を説明するための概略上面図である。図2は、図1に示した配線構造であって、デュアルダマシン法を用いて製造した配線構造のA-A'断面図である。

【0012】

次に、図1及び図2(a)を参照して、配線構造について説明する。

基板1上に、層間絶縁膜2としてのHDP酸化膜が形成されている。ここで、基板1は、例えば、 $10\Omega\cdot\text{cm}$ の比抵抗を有するP型シリコンウェハである。HDP酸化膜2上にストップ膜11としてのp-SiC膜が形成され、このp-SiC膜11上に低誘電率膜12としてのp-SiOC膜が形成されている。p-SiC膜11及びp-SiOC膜12内には第1配線(M1)15が形成され、この第1配線15の周辺に第1ダミー配線(M1__D)15aが形成されている。この第1ダミー配線15aは、例えば $1\mu\text{m}\times 1\mu\text{m}$ のサイズを有し、 $2\mu\text{m}$ のピッチで形成されている。

【0013】

p-SiOC膜12、第1配線15及び第1ダミー配線15a上に、ストップ膜21としてのp-SiC膜が形成され、このp-SiC膜21上に低誘電率膜22としてのp-SiOC膜が形成されている。図(a)に示すように、p-SiOC膜22上に、キャップ膜23が形成されている。キャップ膜23は、低誘電率膜22のアッシングダメージを防止するために形成され、低誘電率膜22とは異なる種類の絶縁膜である。なお、詳細は後述するが、図2(b)に示すように、キャップ膜23は、CMPにより最終的に除去されてもよい。

【0014】

キャップ膜23、p-SiOC膜22及びp-SiC膜21内には、第1配線15と接続するビア28と、このビア28と接続する第2配線29とからなるデュアルダマシン配線28、29が形成されている。

孤立したデュアルダマシン配線28、29の周辺には、何れの配線にも接続しないダミービア28aと、第2ダミー配線29aとが形成されている。このダミービア28aは、例えば、寸法が $0.15\mu\text{m}$ であり、 $0.5\mu\text{m}$ のピッチで形成されている。また、第2ダミー配線29aは、例えば $1\mu\text{m}\times 1\mu\text{m}$ のサイズを有し、 $2\mu\text{m}$ のピッチで形成されている。

【0015】

次に、デュアルダマシン法を用いた上記配線構造の製造方法について説明する。

図3は、図2(a)に示した配線構造の製造方法を説明するための工程断面図である。

先ず、図示しないが、基板1内に、STI(shallow trench isolation)法を用いて深さが例えば 300nm のトレンチを形成する。

次に、基板1上にHDP-CVD法を用いて酸化膜(以下「HDP酸化膜」という。)2を例えば 1000nm の膜厚で形成し、CMP法を用いてHDP酸化膜2を 300nm 研磨する。次に、HDP酸化膜2上に、CVD法を用いてp-SiC膜11を例えば 50nm の膜厚で形成する。そして、その上にCVD法を用いてp-SiOC膜12を例えば

400 nmの膜厚で形成し、CMP法を用いてp-SiOC膜12を150 nmだけ研磨する。さらに、p-SiOC膜12上に、第1配線/第1ダミー配線形成用の化学増幅型のレジストパターン（以下「レジストパターン」という。）13を形成する。これにより、図3（a）に示すような構造が得られる。

【0016】

次に、図3（b）に示すように、ダマシン法を用いてp-SiOC膜12及びp-SiC膜11内に、第1配線15及び第1ダミー配線15aを形成する。詳細には、レジストパターン13をマスクとしたドライエッチングにより、p-SiOC膜12及びp-SiC膜11内に開口14、14aを形成する。そして、この開口14、14a内にバリアメタルとして例えばTa/TaN膜をそれぞれ10 nm/10 nmの膜厚で形成し、このバリアメタル上にスパッタ法を用いてCuシード層を例えば100 nmの膜厚で堆積させ、めっき法を用いてCuを500 nm堆積させる。その後、CMP法を用いて不要なCu及びバリアメタルを除去する。

【0017】

次に、図3（c）に示すように、CVD法を用いてp-SiC膜21を例えば50 nmの膜厚で形成し、その上にCVD法を用いてp-SiOC膜22を例えば600 nmの膜厚で形成し、CMP法を用いてp-SiOC膜22を200 nmだけ研磨する。そして、p-SiOC膜22上にCVD法を用いてキャップ膜23を、例えば50 nm～200 nmの膜厚で形成する。さらに、キャップ膜23上に、ビア/ダミービア形成用のレジストパターン24を形成する。

【0018】

次に、図3（d）に示すように、レジストパターン24をマスクとしたドライエッチングにより、キャップ膜23及びp-SiOC膜22内にストップ膜21表面に達するビアホール（接続孔）25を形成するとともに、孤立したビアホール25の周辺にダミーのビアホール25aを形成する。

【0019】

次に、図3（e）に示すように、ストップ膜21をドライエッチングすることにより、ビアホール25を延長して第1配線15に接続する。次いで、ダミービアホール25a内を含むキャップ膜23上にレジストパターン26を形成する。これにより、ダミービアホール25a内にレジストが埋め込まれたレジストビアが形成される。

【0020】

次に、このレジストパターン26をマスクとしたドライエッチングにより、キャップ膜23及びp-SiOC膜22内に開口（配線溝）27、27aを形成する。そして、この開口27、27a内にバリアメタル（Ta/TaN=10 nm/10 nm）を形成し、このバリアメタル上にスパッタ法を用いてCuシード層を100 nm堆積させ、めっき法を用いてCuを500 nm堆積させる。その後、CMP法を用いて不要なCu及びバリアメタルを除去する。これにより、図3（f）に示すような構造が得られる。すなわち、第1配線15に接続するビア28と、このビア28に接続する第2配線29とからなるデュアルダマシン配線28、29が形成される。また、孤立ビア28の周辺にダミービア28aが形成され、第2配線29周辺に第2ダミー配線29aが形成される。

【0021】

なお、Cu及びバリアメタルのCMP時に、キャップ膜23を更に除去してもよい。すなわち、図2（b）に示すように、最終的な配線構造において、キャップ膜23は存在しても存在しなくてもよい（後述する実施の形態2～5についても同様）。キャップ膜23が除去された場合でも、キャップ膜23が残る場合（図2（a））と同等のデバイス特性が得られる。

【0022】

以上説明したように、本実施の形態1では、低誘電率膜であるp-SiOC膜22内の孤立ビア28周辺にダミービア28aを形成した。これにより、低誘電率膜22内に孤立ビア28を形成する際に、レジストポイズニングの発生を抑制することができることを本

発明者は見出した。

また、近接効果による孤立ビアと密集ビアとの粗密間差が抑制されるため、ビア28の寸法制御性が向上する。

【0023】

また、本実施の形態1では、ビア開口率が高くなるため、エッチングによりビアホール25、25aを形成する際に、安定してエンドポイントの検出を行うことができる。これにより、ビアホールの下地膜突き抜けや、開口不良を防止することができ、広いプロセスマージンを確保することができる。

【0024】

また、ダミービアを形成することによりビアのパターン占有率が揃うため、ビア（プラグ）研磨時にエロージョンやディッシングの発生を防止することができる。

【0025】

なお、本実施の形態1では、ダミービア28aの寸法が $0.15\mu\text{m}$ の場合について説明したが、ビア28の最小寸法の1～10倍であれば、上記効果が得られる。また、ダミービアのピッチは $0.5\mu\text{m}$ に限らず、ビアのパターン占有率が0.5%～30%の範囲で一定になれば、任意であってよい。また、ダミービアは図1に示すような正方形の開口断面を有する形状に限られず、円筒形状や、長方形の開口断面を有するスリット形状であっても上記効果が得られる（後述する実施の形態2～5についても同様）。

【0026】

また、低誘電率膜12、22としてp-SiOC膜を用いたが、これに限らず、比誘電率が3以下の低誘電率膜であれば適用することができる。さらに、ポーラス膜のような超低誘電率膜を適用することもできる。また、ストッパ膜11、21としてp-SiC膜を用いたが、p-SiN膜を用いてもよく、p-SiC膜とp-SiN膜の積層膜を用いてもよい。さらに、下地膜に対して十分エッチング選択比を確保できれば、ストッパ膜は必ずしも要しない。また、プラグの材料として、W又はCuを用いたが、これ以外にも、Ta、Ti等の導電材料又はそれらを積層したものを用いてもよい（後述する実施の形態2～5についても同様）。

【0027】

実施の形態2.

図4は、本発明の実施の形態2による半導体装置における配線構造を説明するための概略上面図である。図5は、図4に示した配線構造であって、デュアルダマシン法を用いて製造した配線構造のB-B'断面図である。

【0028】

前述の実施の形態1では、孤立ビア28の周辺に第1及び第2配線15、29に接続しないダミービア28aを配置したが、本実施の形態2による配線構造では、孤立ビア28の周辺に第1配線15と接続するダミービア28bを配置した。

従って、本実施の形態2によれば、実施の形態1で得られる効果と同様の効果が得られる。

さらに、本実施の形態2において、デュアルダマシン法を用いることにより、太い配線幅を有する第1及び第2配線15、29のストレスマイグレーションを低減することができる。

【0029】

なお、本実施の形態2では、ダミービア28bが第1配線15のみと接続しているが、ダミービアが第2配線29のみと接続してもよく、それらのダミービアが孤立ビア28周辺に混在してもよい。

【0030】

実施の形態3.

図6は、本発明の実施の形態3による半導体装置における配線構造を説明するための概略上面図である。図7は、図6に示した配線構造であって、デュアルダマシン法を用いて製造した配線構造のC-C'断面図である。

【0031】

前述の実施の形態1では、孤立ビア28の周辺に第1及び第2配線15, 29に接続しないダミービア28aを配置したが、本実施の形態3による配線構造では、孤立ビア28の周辺に第1ダミー配線15aと第2ダミー配線29aとに接続するダミービア28cを配置した。

従って、本実施の形態3によれば、実施の形態1で得られる効果と同様の効果が得られる。

また、回路的容量をほとんど増加させることなく、ストレスマイグレーションによるビア抵抗上昇や断線不良を抑制することができる。

さらに、本実施の形態3において、デュアルダマシン法を用いることにより、太い配線幅を有する第1及び第2配線15, 29のストレスマイグレーションを低減することができる。

【0032】

実施の形態4.

図8は、本発明の実施の形態4による半導体装置における配線構造を説明するための概略上面図である。図9は、図8に示した配線構造であって、デュアルダマシン法を用いて製造した配線構造のD-D'断面図である。

【0033】

図8及び図9に示すように、本実施の形態4による配線構造では、孤立ビア28の周辺に、第1及び第2配線15, 29の何れにも接続しないダミービア28aと、第1配線15と接続するダミービア28bと、第1及び第2ダミー配線15a, 29aと接続するダミービア28cとを配置した。すなわち、本実施の形態4は、実施の形態1～3のダミービア28a, 28b, 28cを全て適用したものである。

従って、本実施の形態4によれば、実施の形態1～3で得られる効果と同様の効果が得られる。また、本実施の形態4は、特に線幅が太い配線15, 29を形成する際のストレスマイグレーション低減に好適である。

【0034】

実施の形態5.

図10は、本発明の実施の形態5による半導体装置における配線構造を説明するための概略上面図である。図11は、図10に示した配線構造であって、デュアルダマシン法を用いて製造した配線構造のE-E'断面図である。

【0035】

前述の実施の形態3では、 $1\mu\text{m} \times 1\mu\text{m}$ のサイズを有する第1及び第2ダミー配線15a, 29aを第1及び第2配線15, 29周辺に形成し、それらをダミービア28cにより接続した。

本実施の形態5では、図10及び図11に示すように、第1配線15の周辺に、線幅 $0.5\mu\text{m}$ のラインパターンからなる第1ダミー配線15bを $2\mu\text{m}$ ピッチで形成した。さらに、第2配線29の周辺に、第1ダミー配線15bと直交するように、線幅 $0.5\mu\text{m}$ のラインパターンからなる第2ダミー配線29bを $2\mu\text{m}$ ピッチで形成した。さらに、第1ダミー配線15bと第2ダミー配線29bとの交点にダミービア28dを配置した。これにより、第1及び第2ダミー配線15b, 29bとダミービア28dとからなるダミーパターンを同一電位とした。さらに、第1及び第2ダミー配線15b, 29b並びにダミービア28dの少なくとも1つをグランド電位と接続した。

【0036】

以上説明した本実施の形態5では、第1ダミー配線15bと第2ダミー配線29bとを格子状に配置し、その交点にダミービア28dを配置した。本実施の形態5によれば、孤立ダミー28の周辺にダミービア28dを配置したため、実施の形態1で得られる効果と同様の効果が得られる。

【0037】

さらに、本実施の形態5では、ダミービア28dを介して同一電位となったダミーパタ

ーン 15b, 28d, 29b が任意箇所 でグランド電位に接続されている。このダミーパターンによって回路パターン 15, 28, 29 がシールドされるため、外部からのノイズによる回路パターンの誤動作を抑制することができる。従って、外部ノイズに対して高いマージンを有する配線構造及びその製造方法が得られる。

【図面の簡単な説明】

【0038】

【図1】本発明の実施の形態1による半導体装置における配線構造を説明するための概略上面図である。

【図2】図1に示した配線構造であって、デュアルダマシン法を用いて製造した配線構造のA-A'断面図である。

【図3】図2に示した配線構造の製造方法を説明するための工程断面図である。

【図4】本発明の実施の形態2による半導体装置における配線構造を説明するための概略上面図である。

【図5】図4に示した配線構造であって、デュアルダマシン法を用いて製造した配線構造のB-B'断面図である。

【図6】本発明の実施の形態3による半導体装置における配線構造を説明するための概略上面図である。

【図7】図6に示した配線構造であって、デュアルダマシン法を用いて製造した配線構造のC-C'断面図である。

【図8】本発明の実施の形態4による半導体装置における配線構造を説明するための概略上面図である。

【図9】図8に示した配線構造であって、デュアルダマシン法を用いて製造した配線構造のD-D'断面図である。

【図10】本発明の実施の形態5による半導体装置における配線構造を説明するための概略上面図である。

【図11】図10に示した配線構造であって、デュアルダマシン法を用いて製造した配線構造のE-E'断面図である。

【図12】従来の半導体装置における配線構造を説明するための概略上面図である。

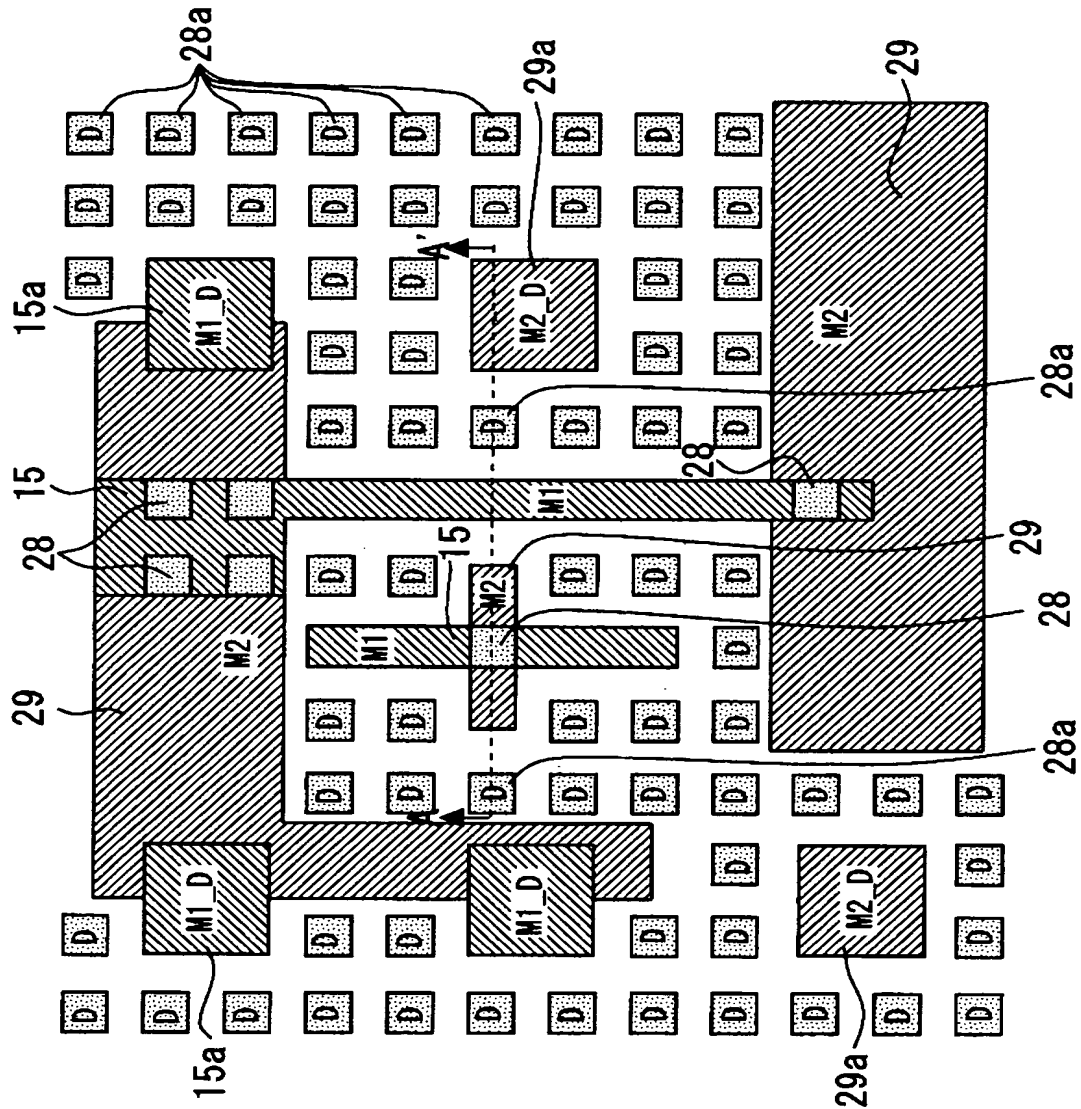
【図13】図12に示した配線構造であって、デュアルダマシン法を用いて製造した配線構造のF-F'断面図である。

【符号の説明】

【0039】

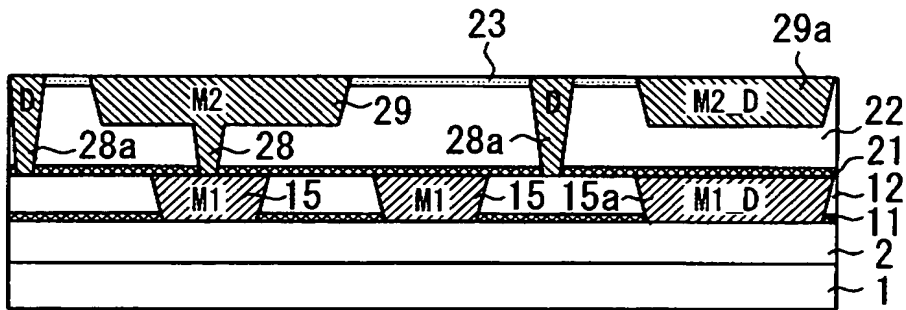
1 基板(シリコンウェハ)、 2 層間絶縁膜(HDP酸化膜)、 11, 21 ストップ膜(p-SiC膜)、 12, 22 低誘電率膜(p-SiOC膜)、 13, 24 レジストパターン、 14, 14a, 25, 25a, 27, 27a 開口(配線溝、接続孔)、 15 第1配線、 15a, 15b 第1ダミー配線、 23 キャップ膜(絶縁膜)、 28 ビア、 28a, 28b, 28c, 28d ダミービア、 29 第2配線、 29a, 29b 第2ダミー配線。

【書類名】 図面
【図 1】

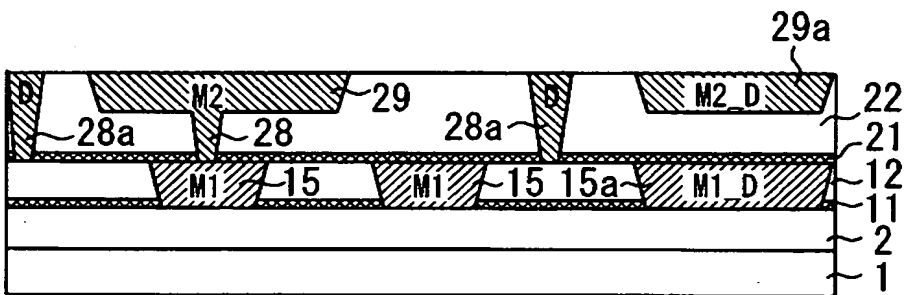


【図 2】

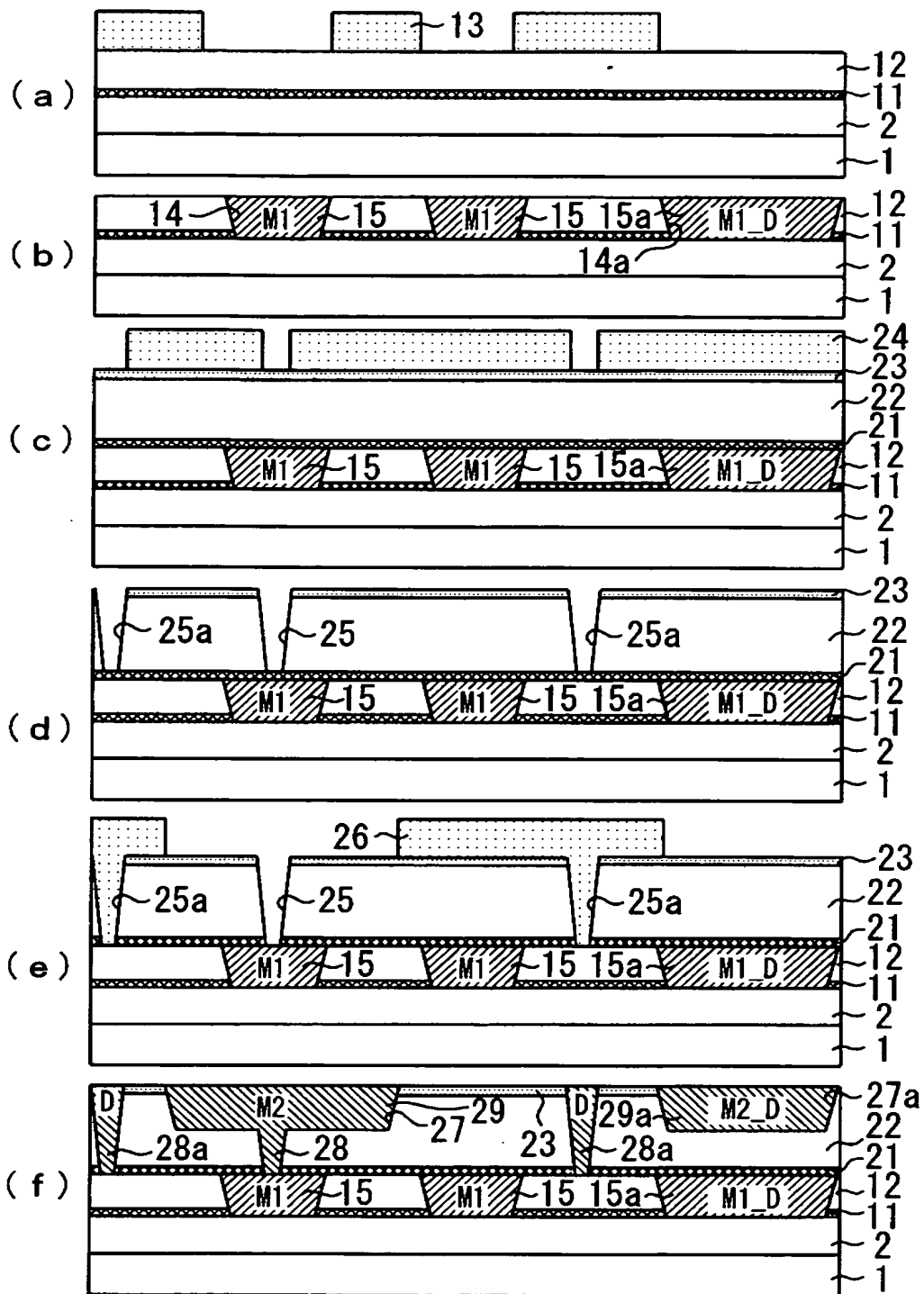
(a)



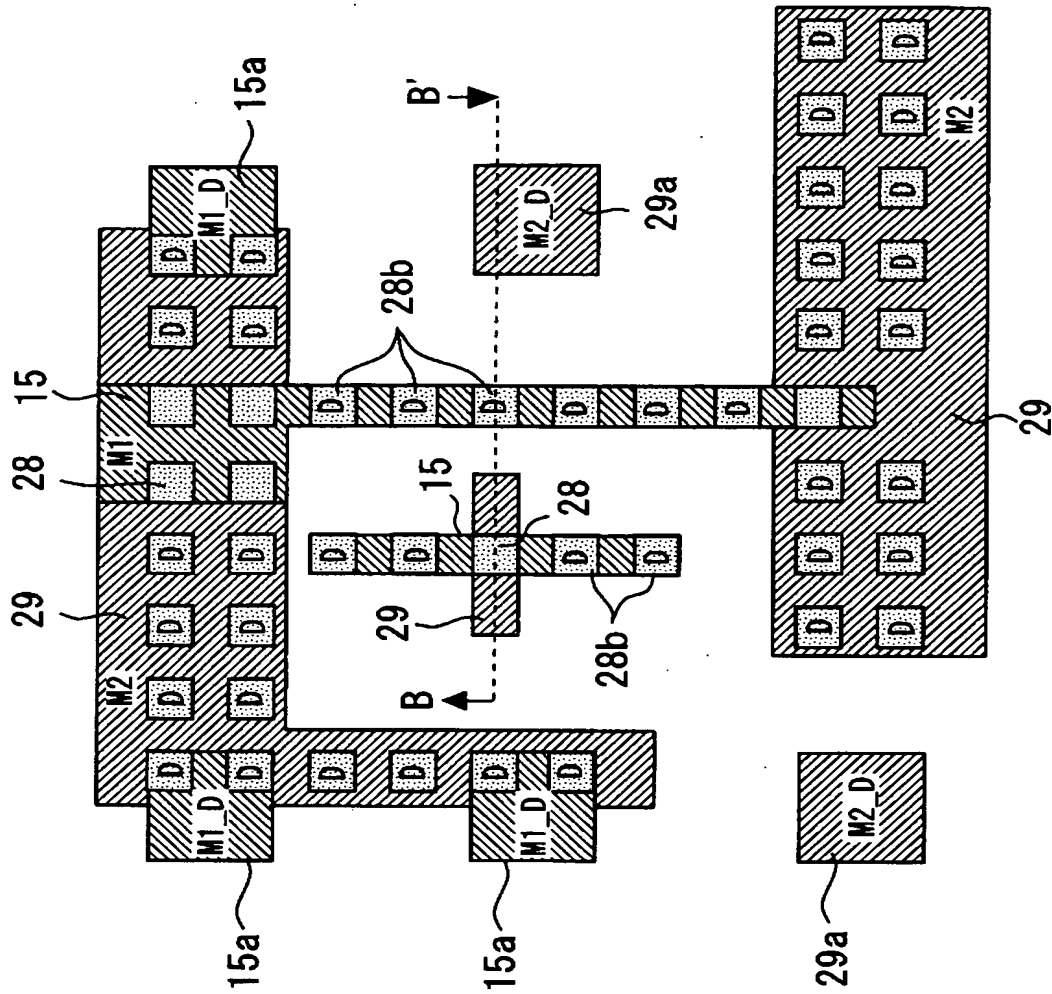
(b)



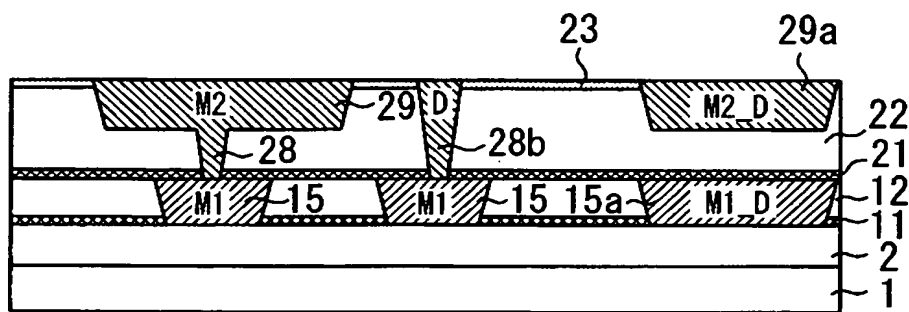
【図 3】



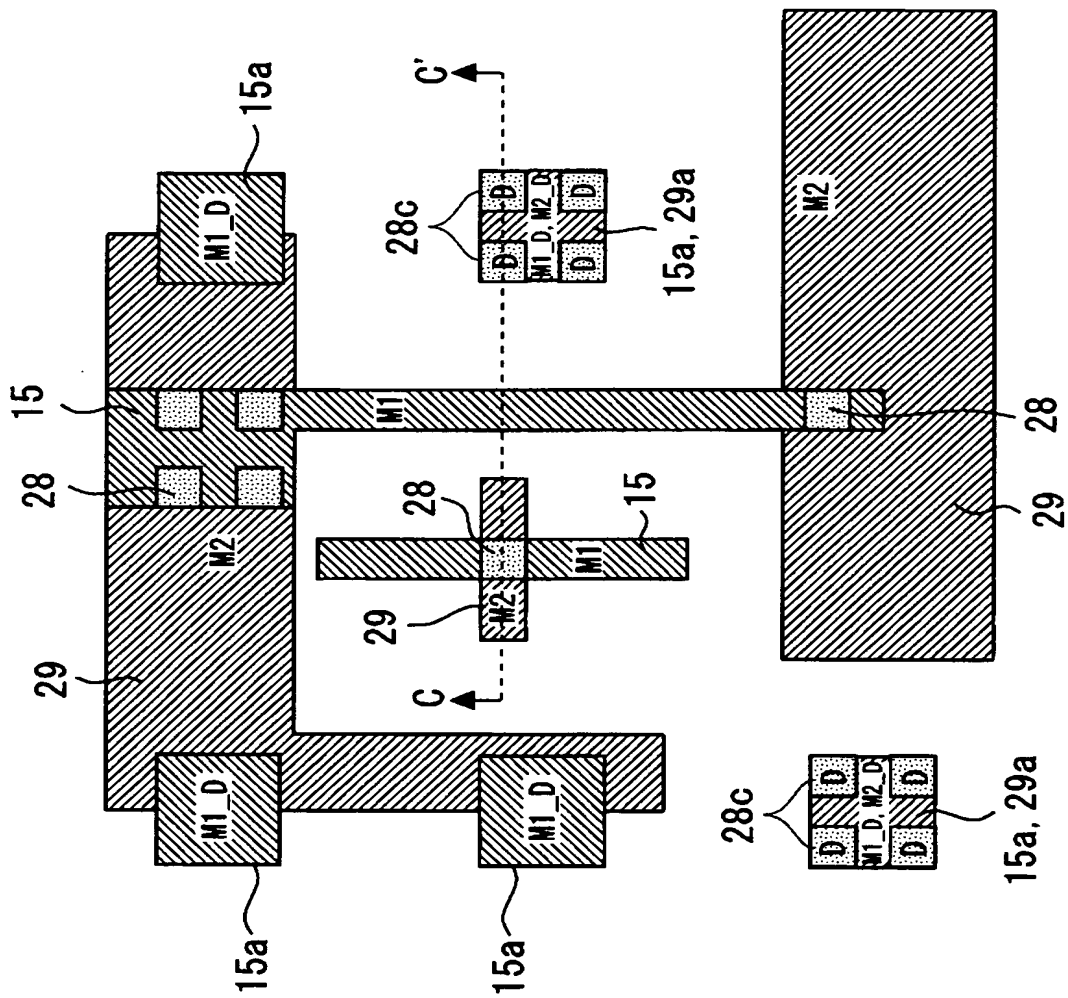
【図 4】



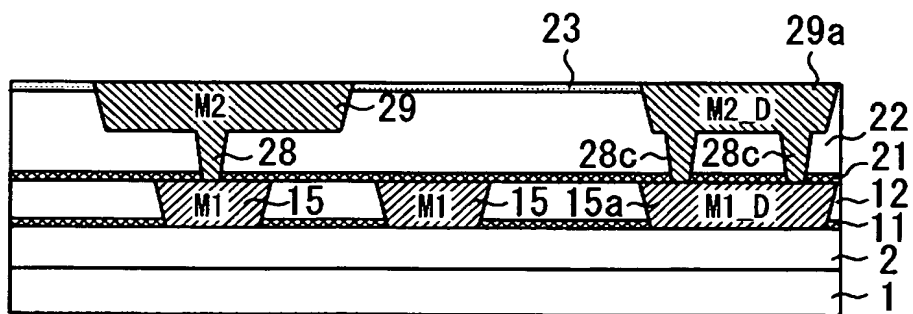
【図 5】



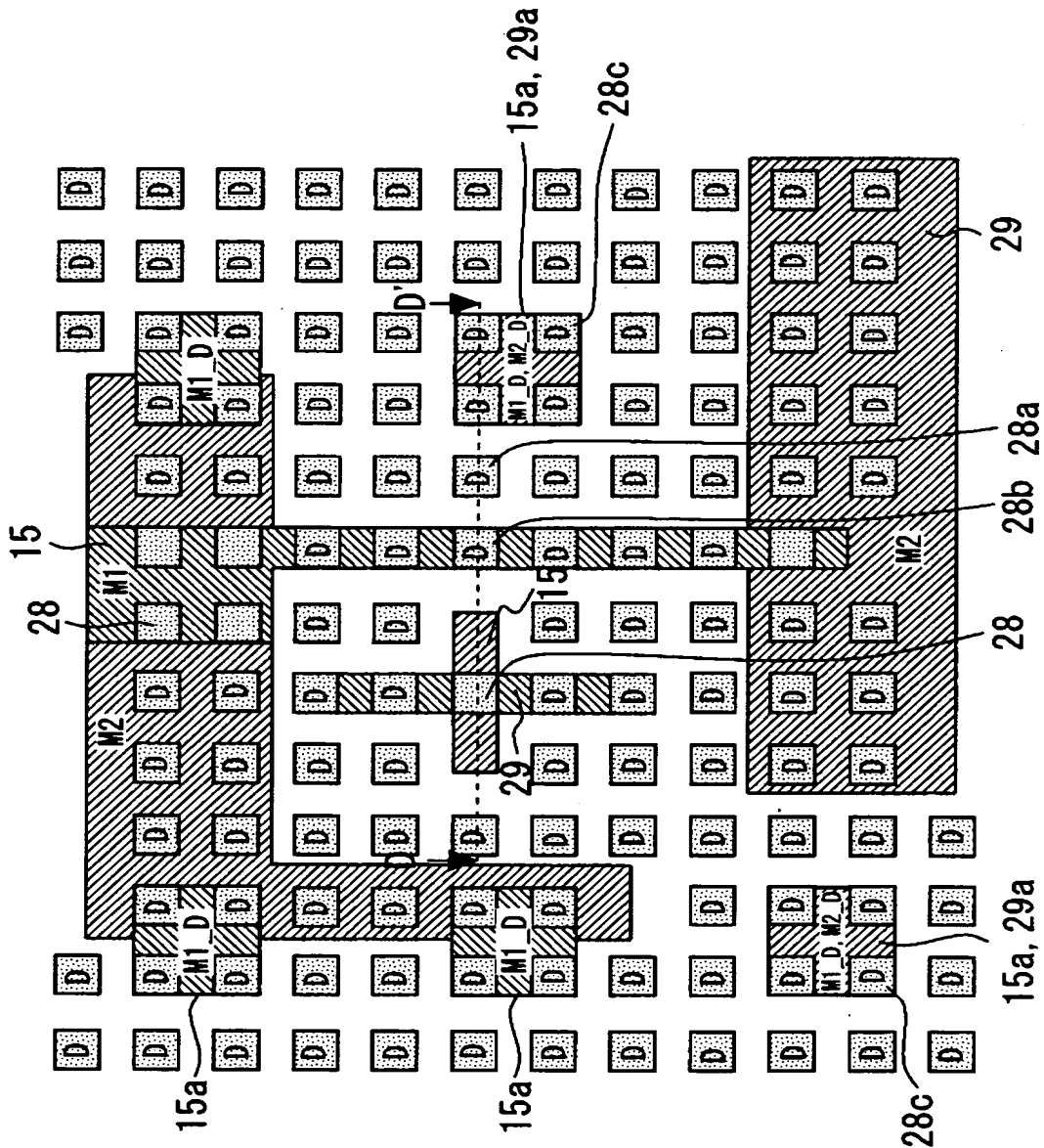
【図 6】



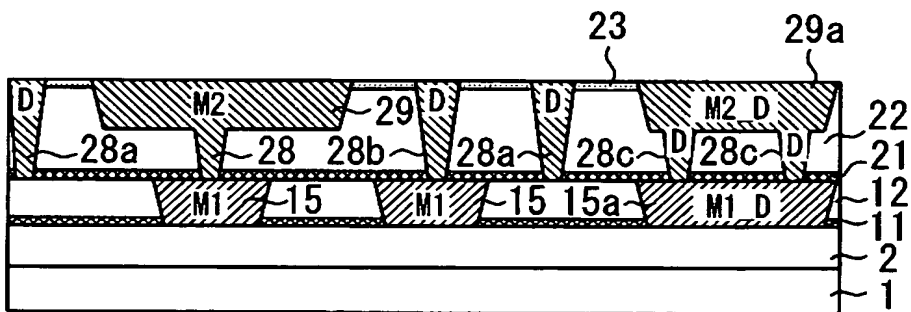
【図 7】



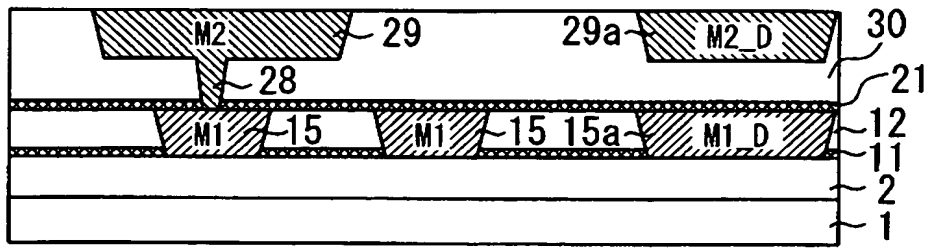
【図 8】



【図 9】



【図 13】



【書類名】 要約書

【要約】

【課題】 低誘電率膜内に孤立ビアを形成する際に、レジストポイズニングの発生を抑制する。

【解決手段】 基板 1 上に形成された p-SiOC 膜 1 2 内に、第 1 配線 1 5 と、第 1 ダミー配線 1 5 a を形成する。次に、p-SiOC 膜 2 2 を形成し、p-SiOC 膜 2 2 上にキャップ膜 2 3 を形成する。キャップ膜 2 3 及び p-SiOC 膜 2 2 内に、第 1 配線 1 5 と接続するビア 2 8 と第 2 配線 2 9 とからなるデュアルダマシン配線を形成するとともに、孤立したビア 2 8 の周辺にダミービア 2 8 a を形成する。

【選択図】 図 2

特願 2 0 0 3 - 2 9 2 1 6 6

出 願 人 履 歴 情 報

識別番号

[5 0 3 1 2 1 1 0 3]

1. 変更年月日

2 0 0 3 年 4 月 1 日

[変更理由]

新規登録

住 所

東京都千代田区丸の内二丁目 4 番 1 号

氏 名

株式会社ルネサステクノロジ

特願 2 0 0 3 - 2 9 2 1 6 6

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 8 2 1]

1. 変更年月日

1 9 9 0 年 8 月 2 8 日

[変更理由]

新規登録

住 所

大阪府門真市大字門真 1 0 0 6 番地

氏 名

松下電器産業株式会社